

PAT-NO: JP362155693A
DOCUMENT-IDENTIFIER: JP 62155693 A
TITLE: ELECTRONIC EXCHANGE
PUBN-DATE: July 10, 1987

INVENTOR-INFORMATION:
NAME
URUI, KIYOSHI
HASEGAWA, ATSUSHI

ASSIGNEE-INFORMATION:
NAME TOSHIBA CORP
COUNTRY N/A

APPL-NO: JP61196613
APPL-DATE: August 22, 1986

INT-CL (IPC): H04Q003/545, G06F013/00 , G06F015/16
US-CL-CURRENT: 379/284

ABSTRACT:

PURPOSE: To perform a communication between processors in different shelves while reducing the number of wirings between the shelves as small as possible by interposing the processor for converting a physical level and a logic level between a serial transmission system and a parallel transmission system.

CONSTITUTION: The respective processors (main CPU 52, local CPU 43 or the like) writes data to be transmitted in a common memory 16. The contents of the common memory 16 are polled at any time periodically or at a required time the data to be received is read, thereby, the communication between these processors is carried out. In this way, there is a difference in a function level among the local CPU 43, the main CPU 52 and an application CPU and the main CPU 52 and the application CPU or the like execute their own program (for instance, an exchange processing program) without an interruption, even though data is fed to the main CPU 52 and the application CPU from the local CPU 43 side. Thereby, the processing efficiency can be enhanced.

COPYRIGHT: (C)1987,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-155693

⑪ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)7月10日

H 04 Q 3/545
G 06 F 13/00
15/16

A-7117-5K
Z-7230-5B
A-2116-5B

審査請求 未請求 発明の数 1 (全12頁)

⑭ 発明の名称 電子交換機

⑮ 特 願 昭61-196613

⑯ 出 願 昭61(1986)8月22日

優先権主張 ⑰ 昭60(1985)9月2日 ⑱ 日本(JP) ⑲ 特願 昭60-193397

⑳ 発 明 者 関 井 清 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
㉑ 発 明 者 長 谷 川 淳 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
㉒ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地
㉓ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

電 子 交 換 機

2. 特許請求の範囲

(1) 加入者端末および局線または専用線に接続されるライン/トランクカードを実装したライン/トランクシェルフと、交換処理を制御する共通制御カードを実装した共通制御シェルフを積層して構成され、さらに各シェルフ内にプロセッサを分散配置した分散制御方式の電子交換機において、異なるシェルフに実装されたプロセッサ間の通信はシリアル伝送、同一シェルフに実装されたプロセッサ間の通信は共通バスを介してパラレル伝送でそれぞれ行なわれ、さらにシリアル伝送系とパラレル伝送系との間に物理レベルと論理レベルとの変換のためのプロセッサが設けられていることを特徴とする電子交換機。

(2) シリアル伝送でプロセッサ間の通信を行なう異なるシェルフの一方は共通制御シェルフ、他方はライン/トランクシェルフであり、パラレル

伝送でプロセッサ間の通信を行なうシェルフは共通制御シェルフである特許請求の範囲第1項記載の電子交換機。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は分散制御方式の電子交換機に係り、特にプロセッサ間の通信方式に関する。

(従来の技術)

複数のプロセッサを分散配置して全体の機能および処理能力を高めた分散制御方式の電子交換機が注目されている。このような分散制御方式の電子交換機として、本発明者らは電話機やデータ端末等の加入者端末および局線または専用線に接続されるライン/トランクカードを実装したライン/トランクシェルフと、交換処理を制御する共通制御カードを実装した共通制御シェルフを回線の規模に応じて積層可能として、各シェルフ内にプロセッサを配置し、これらのプロセッサ間で通信を行なうようにした電子交換機を提案している。

このような電子交換機においては、異なるシェルフに実装されたプロセッサ間の通信、特にライン／トランクシェルフ内のプロセッサと、共通制御シェルフ内のプロセッサ間の通信は、リアルタイムで行なわれなければならない。このためにはプロセッサ間の通信をパラレル伝送で行なえばよいが、シェルフ間を接続するケーブルの本数が多くなり、ケーブル敷設コストが増大し、また信頼性が低下するという問題が発生する。

一方、同一シェルフ、例えば共通制御シェルフ内において異なるプロセッサ間の通信を行なう場合に、割込み制御によりシリアル伝送を行なうと、割込み制御のための複雑な回路がプロセッサ対応に必要となるため、交換機全体としてのハードウェア量が増大するとともに、交換処理が割込み制御の都度中断され、処理効率が低下するという問題がある。

また、一般にライン／トランクシェルフ内のプロセッサ（ライン／トランクカード）が授受するダイヤル信号等の信号は物理レベルであり、この

力少なくしながら、異なるシェルフ内のプロセッサ間の通信をリアルタイムで行なうことができ、しかもハードウェアの増大や交換処理の効率低下を伴わずに同一シェルフ内のプロセッサ間の通信を行なうことができ、さらに拡張性に富む電子交換機を提供することを目的とする。

〔発明の構成〕

（問題点を解決するための手段）

本発明は加入者端末および局線または専用線に接続されるライン／トランクカードを実装した複数のライン／トランクシェルフと、交換処理を制御する共通制御カードを実装した共通制御シェルフを積層して構成され、さらに各シェルフ内にプロセッサを分散配置した分散制御方式の電子交換機において、異なるシェルフに実装されたプロセッサ間の通信はシリアル伝送で行ない、同一シェルフに実装されたプロセッサ間の通信は共通バスを介してパラレル伝送で行なうようにし、さらにシリアル伝送系とパラレル伝送系との間に物理レベルと論理レベルとの変換のためのプロセッサ

のような物理レベルの信号をそのまま共通制御シェルフ内のプロセッサ（メインCPU等）に与えると、該プロセッサの負担が著しく増大するばかりでなく、変更、付加等が困難となって拡張性に乏しくなるという問題がある。

（発明が解決しようとする問題点）

このようにライン／トランクシェルフや共通制御シェルフを積層し、プロセッサを各シェルフ内に分散配置した電子交換機においては、異なるシェルフ内のプロセッサ間の通信を、シェルフ間の配線数を増加させることなくリアルタイムで行なうことと、同一シェルフ内のプロセッサ間の通信を、ハードウェアの増大を招くことなく、しかも交換処理の効率を低下させずに行なうこと、ならびにシステムを拡張し易い構成にすることが大きな課題となっている。

本発明はこのような問題点を解決するためになされたもので、ライン／トランクシェルフや共通制御シェルフを積層した構造の分散制御方式による電子交換機において、シェルフ間の配線数を極

を介在させたことを特徴とする。

（作用）

異なるシェルフに実装されたプロセッサ間、例えばライン／トランクシェルフ内のプロセッサと、共通制御シェルフ内のプロセッサとの間で通信を行なう場合には、データハイウェイ上をシリアルにデータを伝送させる。これによりシェルフ間を接続する配線が少なく済み、その敷設コストが大きく低減されるとともに、信頼性が高められる。一方、同一シェルフ内、例えば共通制御シェルフ内のプロセッサ間で通信を行なう場合はデータを共通バスを介してパラレル伝送する。従って、割込み制御を用いた場合のような複雑なハードウェアが不要となり、また処理効率の向上が図られる。

さらに、例えばライン／トランクシェルフと共通制御シェルフとのプロセッサ間通信に際しては、ライン／トランクシェルフ内のプロセッサが扱う信号形態である物理レベルと、共通制御シェルフ内のプロセッサの処理レベルである論理レベルと

の交換がプロセッサによって行なわれることで、共通制御内のメインCPU等のプロセッサの負担が減少するので、ライン/トランクシェルフの積層数を増やすことができ、拡張性が向上する。

(実施例)

第1図は本発明の一実施例に係る電子交換機の概略構成図であり、共通制御シェルフ1と、複数のライン/トランクシェルフ2a~2nを第2図に示すように積層した構造となっている。

共通制御シェルフ1には交換処理、メンテナンス等を司るメインCPU(Mcpu)カード11と、通話管理、メッセージング、ディレクトリ等の各種アプリケーションを司るアプリケーションCPU(Acpu)カード12と、これらメインCPUカード11およびアプリケーションCPUカード12とライン/トランク(L/T)カード21との間の通信制御や、ソフトにおける入出力レベル変換等を行なうローカルCPU(Lcpu)カード13、および時分割タイムスロットの交換を行なうタイムスイッチ(TSW)カード14等

イウェイ4により接続されている。

次に、第1図の各部について詳細に説明する。第3図はライン/トランクカード21のうち、特にデジタル電話機31に接続されるライン/トランクカードの内部構成を示す。第3図においてデジタル電話機用LSI(DTLSI)32は、デジタル電話機31と、ライン/トランクカードおよびこれに接続される電話機や局線等をコントロールするCPUからなるポートコントローラ(PC)33との間の通信制御を行なうLSIである。また、インターフェースLSI(ILSI)34はポートコントローラ33と共通制御シェルフ1内のローカルCPU13(第1図)との間の通信制御を行なうLSIであり、後述するようにスレーブ・モードで動作するものとする。

第4図は共通制御シェルフ1内のローカルCPUカード13の内部構成を示す。第4図において、インターフェースLSI(ILSI)41は第3図におけるインターフェースLSI34と同一構成であるが、外部からのモード設定入力を

の共通制御部を構成するカード(カード状の回路装置)が実装されている。なお、本発明ではこれら共通制御シェルフ1内の各種カード11~14を総称して共通制御カードという。また、各共通制御カード11~14内のプロセッサは共通バス15に接続された共通メモリ16を介して相互に通信を行なうことができる。

一方、ライン/トランクシェルフ2a~2n内には、電話機やデータ端末等の加入者端末および局線または専用線が接続されるライン/トランク(L/T)カード21が回線数に応じて実装されている。共通制御シェルフ1とライン/トランクシェルフ2a~2n間は、ローカルCPUカード13からライン/トランクカード21への送信用データハイウェイとライン/トランクカード21からローカルCPUカード13への受信用データハイウェイを含むシリアル伝送のためのコントロールハイウェイ3と、タイムスイッチカード14とライン/トランクカード21との間に接続されたPCMタイムスロット入替えのためのPCMハ

異にしており、後述するようにマスタ・モードで動作する。ローカルメモリ42はローカルCPU(Lcpu)43を動作させるためのプログラムやデータを格納するためのものであり、バッファ45は共通バス15とローカルCPUカード13内のローカルバス46とを接続したり切離したりするためのものであるローカルCPU43が共通バス15をアクセスする時は、デコーダ44が共通メモリ71(後述)に割当てられたアドレスを検出したとき、バッファ45をオンにして共通バス15とローカルバス46とを接続する。なお、ローカルメモリ42と共通メモリ71は異なるアドレスが割当てられている。

第5図は共通制御シェルフ1内のメインCPUカード11の内部構成を示す。図に示すようにメインCPUカード11は第4図に示したローカルCPUカード13とほぼ同一構成であり、ローカルメモリ51、メインCPU(Mcpu)52、デコーダ53、バッファ54およびローカルバス55を有する。但し、メインCPUカード11は

コントロールハイウェイ3に接続されていないためインターフェースLSIは内蔵しない。

なお、図示していないが、共通制御シェルフ1内のアプリケーションCPUカード12も第5図に示したメインCPUカード11と同一構成である。

第6図は共通制御シェルフ1内のタイムスイッチカード14の内部構成であり、タイムスイッチコントローラ及びタイムスイッチ61と、デコーダ62およびバッファ63を有する。タイムスイッチカード14はメインCPU52によってのみアクセスされるようになっており、具体的にはデコーダ62が共通バス15上のアドレスがタイムスイッチコントロール用のアドレスと一致したか否かをモニターし、一致したときのみバッファ63をオンにしてタイムスイッチコントローラ及びタイムスイッチ61を共通バス15に接続する。

第7図は共通制御シェルフ1内の共通メモリカード16の内部構成であり、共通メモリ71とデコーダ72およびバッファ73を有し、共通メモ

リ71をアクセスする方法は第6図に示したタイムスイッチカード14における上述したアクセス方法と同様である。

次に、第8図を参照して共通制御シェルフ1における共通制御カード内のプロセッサ、例えば第4図に示したローカルCPUカード13内のローカルCPU43と、第3図に示したライン/トランクカード21内のプロセッサ(ポートコントローラ33)との間の通信方式について説明する。前述したように、こうした異なるシェルフ内のプロセッサ間の通信は、割込み制御によりシリアル伝送で行なわれる。

第8図において、コントロールハイウェイ3はデータハイウェイ(データ入出力線)、フレーム同期信号伝送線およびデータハイウェイクロックの伝送線を有し、PCMハイウェイ4はPCMハイウェイクロックの伝送線とPCMハイウェイフレーム同期信号の伝送線を有する。ローカルCPUカード13内のクロック発生器47はコントロールハイウェイ3にデータハイウェイクロック

を送出する。一方、ライン/トランクカード21内の回線対応部36はCODECやSLIC等を含む。

本実施例ではインターフェースLSIとしてモード設定入力により2つのモード、すなわちタイムスロットの変化点に同期してデータを送出する機能を持つマスタ・モードと、外部からのタイムスロット指定アドレスにより得られるタイムスロットアドレスでのみデータを送出できる機能を持つスレーブ・モードとに切換えが可能に構成されたものが使用される。

ローカルCPUカード13内のインターフェースLSI41はマスタ・モードで動作し、ローカルCPUとコントロールハイウェイ3の間に挿入される。このインターフェースLSI41からコントロールハイウェイ3へのデータの送出手は、タイムスロットの変化点に同期して行なわれる。また、ライン/トランクカード21内のインターフェースLSI34からのデータの受信に際しては、ヘッダを検出したときに受信を行ない、ローカル

CPU43に対し受信要求としての割込み要求を行なう。

ライン/トランクカード21内のインターフェースLSI34はスレーブ・モードで動作し、コントロールハイウェイ3およびPCMハイウェイ4と当該カード21内の各ポートの入出力を制御するポートコントローラ33とを接続する。このインターフェースLSI34からコントロールハイウェイ3へのデータの送出手は、外部からのタイムスロット指定アドレスにより指定されるタイムスロットにおいてのみ可能である。また、インターフェースLSI34の受信に際しては、ヘッダを検出した後コントロールハイウェイ3を介してデータを受信し、その受信データのアドレスが外部からのタイムスロット指定アドレスと一致したときのみ、その受信データを有効と判断して、ポートコントローラ33に対し受信要求としての割込み要求を発生する。

ポートコントローラ33は割込み要求を受けると、インターフェースLSI34内の受信レジス

タから受信データを読出し、そのデータに従ってライン／トランクカード21の制御を行なう。回線対応部36へのデータの送付に際しては、ポートコントローラ33がインターフェースLSI34内の回線対応部制御部に制御データを書込んだ後、インターフェースLSI34が回線対応部36にその制御データを送出する。

回線対応部36の状態、またはデジタル電話機31等の加入者端末等からのデータは、インターフェースLSI34内の回線対応部制御部のI/Oレジスタに周期的に取込まれる。そして、ポートコントローラ33はこのI/Oレジスタ内のデータを周期的に読込むことにより、回線対応部36の状態変化を検出し、この状態変化またはローカルCPU43に対する制御データを、インターフェースLSI34内の送信レジスタに書込む。この後、インターフェースLSI34は外部からのタイムスロット指定アドレスにより与えられるタイムスロットにおいて、送信レジスタの内容をコントロールハイウェイ3のデータハイウェイ

(データ出力線)に出力する。

次に、共通制御シェルフ1内の各プロセッサ間、すなわち各共通制御カードに設けられたプロセッサ間の通信方式について説明する。共通制御シェルフ1内のプロセッサ間通信には、各ローカルCPU43が傘下のライン／トランクカード21から収集した加入者端末の状態に関するデータおよび加入者端末からのデータを所定レベルまで処理したものをメインCPU52またはアプリケーションCPUに伝えるためのデータ伝送と、メインCPU52およびアプリケーションCPUがそれぞれ交換処理して得た端末制御データをローカルCPU43側に伝えるためのデータ伝送とがある。

前述したように、こうした同一シェルフ内のプロセッサ間の通信は、共通バス15に各プロセッサが共通にアクセスすることのできる共通メモリ16を接続し、この共通メモリ16に送信すべきデータを書込み、またこの共通メモリ16から受信すべきデータを読出すことにより行なわれる。

共通バスに共通メモリを接続し、その共通メモリを介して任意のプロセッサ間のデータ伝送を行なう手法自体は、例えばIEEE796による制御に見られるように公知である。この方法によれば、共通メモリのアクセスを必要とするプロセッサが共通バス上にコントロール信号を出し、共通バスをアクセス期間中占有することによってデータ伝送が行なわれる。その場合、複数のプロセッサによるアクセスが衝突すれば、所定の優先順位に基づいて処理が行なわれる。

本実施例においては、各ローカルCPU43は加入者端末側に状態変化が生じる都度、および加入者端末からダイヤル情報が送られてくる都度、その状態またはダイヤル情報のデータを共通メモリ16に書込む。メインCPU52では共通メモリ16の内容を定期的にポーリングすることにより、各加入者端末の状態変化を知り、それに応じた処理を行なう。例えば加入者端末からの起呼があると、それを検出して呼処理を行なう。この呼処理の一連のルーチンの中で、共通メモリ16に

もともと格納されているデータ、または加入者端末からローカルCPU43を介して共通メモリ16に書込まれているデータが必要になると、共通メモリ16をアクセスしてそのデータを読取って処理を行なう。この処理の結果、加入者端末側を制御する制御データが変わった場合には、その制御データを共通メモリ16に書込む。

一方、ローカルCPU43においても、加入者端末の制御データに変更が生じたか否かを判定し、また変更が生じた場合その制御データがどのような内容になったかを検知すべく、共通メモリ16の内容を定期的にポーリングしている。

このように各プロセッサ(メインCPU52、ローカルCPU43等)が送信すべきデータを共通メモリ16に書込み、また共通メモリ16の内容を定期的にあるいは必要なとき随時ポーリングし、受信すべきデータを読込むことにより、これらのプロセッサ間での通信が行なわれる。このようにすると、ローカルCPU43とメインCPU52やアプリケーションCPUとでは機能レベル

に差があって、メインCPU 52やアプリケーションCPUにローカルCPU 43側からデータが集まる関係にあるにも拘らず、メインCPU 52やアプリケーションCPU等は自らの処理プログラム(例えば交換処理プログラム)を中断を来たすことなく実行できるので、処理効率が向上する。

また、ローカルCPU(LCPU) 43、メインCPU(MCPU) 52およびアプリケーションCPU(ACPU)が、共通バス15上の共通メモリ16を介して接続されていることにより、MCPU-LCPU、LCPU-ACPU、MCPU-ACPU間の通信を柔軟に行なうことができるため、より高度のサービスを実時間性を保ちながら行なうことが可能である。

さらに、シリアル伝送系とパラレル伝送系との間に位置するローカルCPU 43によって、第9図に示すようにライン/トランクカード21の処理レベルである物理レベルから、ローカルCPU 43の処理レベルである論理レベルへの変換を行えば、メインCPU 52は入出力を最大抽象化

したレベルで扱うことができる。なお、第9図はライン/トランクカード21、ローカルCPU 43およびメインCPU 52のそれぞれの機能と、これらプロセッサ相互間の通信データの具体例を示している。このようにするとローカルCPU 43が加入者端末やトランクとの間のコマンドデータ送出コントロールを行なうことができ、メインCPU 52がコマンドデータの管理を行なう必要なくなるため、メインCPU 52の負荷が軽減され、変更、付加等が容易となって拡張性が向上し、生産性も高まるという利点がある。

次に、インターフェースLSI(34、41等)の内部構成を第10図を参照して説明する。インターフェースLSIは前述したように、コントロールハイウェイ3中のデータハイウェイへのデータ送出がタイムスロットの変化点に同期してなされる機能を持つマスタ・モードと、データハイウェイへのデータ送出が外部からのタイムスロット指定アドレスによって与えられるアドレスに一致したアドレスのタイムスロットでのみ可能なスレ

ーブ・モードとに切換えできるように構成されている。モード設定入力によりマスタ/スレーブのモード切換えを行なう制御部は、データハイウェイ送受信部101内にある。

第10図において、データハイウェイ送受信部101はフレーム同期信号DHFSおよびデータハイウェイクロックDHCLKにより動作し、データハイウェイ送信レジスタ102およびデータハイウェイ受信レジスタ103を介してデータ入力線DHINおよびデータ出力線DHOUTとの間でデータの送受信を行なう。この場合、送受信のタイミングはモードにより異なることは上述した通りである。すなわち、マスタ・モードではタイムスロットの変化点に同期して送信レジスタ102内のデータを送出し、受信の場合はヘッダ検出後データを受信して受信レジスタ103に格納する。また、スレーブ・モードでは外部からのタイムスロット指定アドレスと一致したアドレスのタイムスロットにおいてのみ送信レジスタ102内のデータを送出し、受信に際してはヘッダ検出後データを

受信して、外部からのタイムスロット指定アドレスと受信データ中のアドレスとが一致したときだけ、データを受信レジスタ103に格納する。

CPUインターフェース制御部104は、データバスからのアドレスデータをデコードし、インターフェースLSI内の各ブロックへデータを送出する。

回線対応部制御部105は入力レジスタ106、出力レジスタ107および入出力モードを指定する入出力指定レジスタ108を有し、回線対応部36(第8図)と接続される。

PCMタイムスロット制御部109はPCMフレーム同期PCMFSとPCMクロックPCMCLKによりタイムスロットの数をカウントして、ポートコントローラ33によりPCMタイムスロット指定レジスタ110に設定されたPCMタイムスロットアドレスと比較し、これらが一致したときにCODECに対してフレーム同期を与える制御を行なう。

本実施例の電子交換機において、ローカル

CPU43から複数のポートコントローラ33に対して同一データを伝送する場合、それらのポートコントローラ33が接続されたスレーブ・モードのインターフェースLSI34に対して共通のグループアドレスを与えておき、このグループアドレスを用いてデータを伝送する。このグループアドレスは複数のインターフェースLSI34のアドレスの集合としての意味を有し、各インターフェースLSI34において予め登録される。

なお、ローカルCPU43から同一データを複数のポートコントローラ33に伝送する方法としては、①各ポートコントローラに通常の発信を順次行ない、同一データを伝送する方法と、②上述したようにポートコントローラ33が接続された複数のインターフェースLSI34を代表するグループアドレスに伝送データを付加して伝送する方法とが考えられる。①の方法は簡便ではあるが、各ポートコントローラに対して個別にアドレスと伝送データを順次伝送しなければならない。これに対し、②の方法においてはローカルCPU43

と複数のポートコントローラ33との間で一度に伝送を行なうことができるので、伝送に要する時間が短縮され、ローカルCPU43の負荷も軽減される。

次に、本実施例における伝送信号フォーマットを第11図を参照して説明する。同図に示すように、ヘッダ、アドレス、制御データ、情報データにより1フレームを形成している。アドレスは単一のポートコントローラ33に個別にデータを伝送する場合の個別アドレスと、複数のポートコントローラ33に対して同一データを伝送する同報アドレスと、全てのポートコントローラ33に対して同一データを伝送する一斉同報アドレスとに分けられる。個別アドレス、同報アドレス、一斉同報アドレスの区別を表わす情報(識別子という)は、第11図の下側に示したアドレスフォーマット中の上位(MSB側)2ビットが使用される。個別アドレスの場合は、このアドレスの区別を示す上位2ビットの識別子に続いて、単一のインターフェースLSIアドレス(ILSIアドレス)

が、また同報の場合は任意に指定されたグループを示すグループアドレスがそれぞれ付加される。

今、第12図に示すように単一のグループアドレス(#A)が複数のインターフェースLSIのアドレス情報を代表しているものとする、ローカルCPU43から複数のポートコントローラ33に接続されたインターフェースLSI34に対して同一データを伝送する場合には、第11図に示したようにアドレスフォーマット中の上位2ビットに識別子"10"を設定し、引続き#1~#nの代表アドレスとして#Aを付加すればよい。これによりローカルCPU43からのデータは、一回の発信操作により複数のポートコントローラ33に接続されたインターフェースLSI34に送られることになる。

こうしてローカルCPU43からのデータが送られたインターフェースLSI34においては、データハイウェイを介して受信したデータからグループアドレスを抽出し、予め登録されているグループアドレスと比較する。この比較の結果、両

アドレスが一致したときに伝送データ中の情報データを受信する。なお、第12図においてはグループアドレス#A、#Bは、そのインターフェースLSI34が設けられたライン/トランクカード21が標準電話機(STT)に接続されたカードであることを示している。このライン/トランクカードはローカルCPU43からの伝送データを受信できるが、他のライン/トランクカードは同じデータを受信できない。

第13図は上述した処理を行なうためのライン/トランク21内に設けられるアドレス処理回路の構成を示したものであり、受信したアドレスの上位2ビット(識別子)はセクタ131のE、S端子(制御入力端子)に供給される。セクタ131のA、B端子(データ入力端子)にはライン/トランク21内のメモリ132に記憶されているグループアドレスと個々のインターフェースLSI34に割当てられたLSIアドレスがそれぞれ供給される。セクタ131からは(E、S)=(0、0)のときLSIアドレスが、また(E、

S) = (1, 0) のときグループアドレスがそれぞれ出力され、コンパレータ133の第1の入力端子に供給される。コンパレータ133の第2の入力端子には受信アドレスの上位2ビットに続くアドレス情報が供給され、これら第1および第2の入力端子の値が一致したときコンパレータ133の出力は“1”となる。一方、受信アドレスの上位2ビットの情報はさらに2入力アンドゲート134に入力され、上位2ビットが“11”かどうか、すなわち受信アドレスが一斉同報アドレスかどうか判定される。このアンドゲート134の出力とコンパレータ133の出力が2入力オアゲート135に入力される。オアゲート135の“1”出力はポートコントローラ33に対する受信要求となる。すなわち、受信アドレスが受信したインターフェースLSIに対応する個別アドレス(LSIアドレス)である場合と、受信したインターフェースLSIを含む同報アドレス(グループアドレス)である場合と、一斉同報アドレスである場合に、アドレスに続く情報データを受信せよとの要求が

発せられる。

このような構成とすると、システムダウンに際してシステムを立上げる時など、プログラムを各ポートに記憶させるときに有効である。すなわち、プログラム等のローディングに要する時間がポート数によらずローディングすべきプログラム数によってのみ決まるので、システムの立上げに要する時間が大幅に短縮される。

[発明の効果]

本発明によれば、積層されたライン/トランクシェルフや共通制御シェルフ間の配線数を増大させずに、シェルフ内のプロセッサ間の通信をリアルタイムで行なうことが可能であり、またハードウェアの増大や交換処理の効率低下を伴わずに同一シェルフ内のプロセッサ間の通信を行なうことができ、さらに拡張性に富む分散制御方式の電子交換機を提供することができる。

4. 図面の簡単な説明

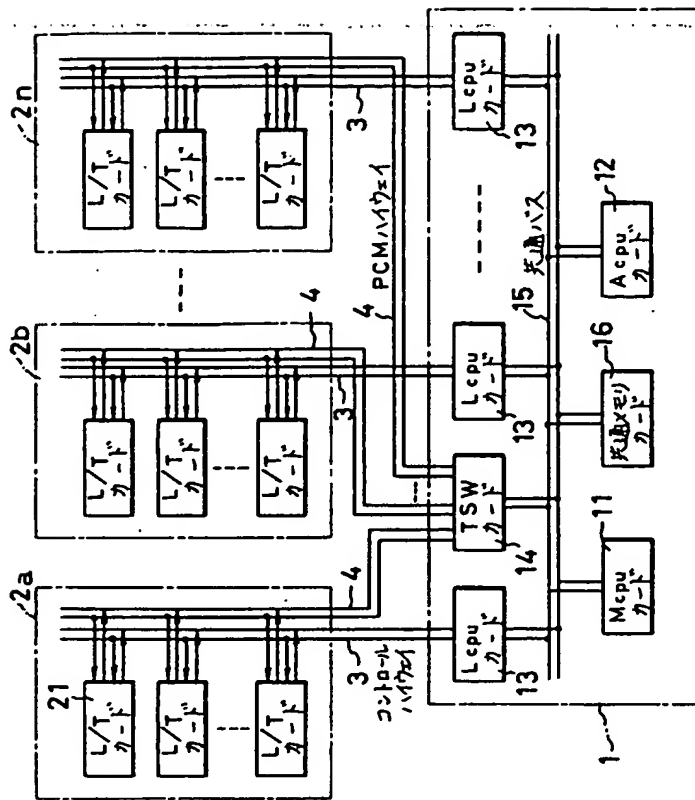
第1図は本発明の一実施例に係る電子交換機の概略構成を示す図、第2図は同電子交換機のシェ

ルフ積層構造を示す図、第3図は同実施例におけるライン/トランクカードの内部構成を示す図、第4図は同実施例におけるローカルCPUカードの内部構成を示す図、第5図は同実施例におけるメインCPUカードの内部構成を示す図、第6図は同実施例におけるタイムスイッチカードの内部構成を示す図、第7図は同実施例における共通メモリカードの内部構成を示す図、第8図は同実施例における共通制御シェルフ内のローカルCPUカードとライン/トランクカード内の通信方式を説明するための図、第9図はライン/トランクカードとローカルCPUおよびメインCPUの機能配分と相互間の通信データ的具体例を示す図、第10図は同実施例におけるインターフェースLSIの内部構成を示す図、第11図は同実施例におけるローカルCPUからライン/トランクカード内のポートコントローラへのデータ伝送方法を説明するための伝送信号フォーマットを示す図、第12図は同データ伝送方法を説明するための概念図、第13図は同データ伝送方法の実施に使用

するライン/トランクカード内のアドレス受信回路の構成を示す図である。

1…共通制御シェルフ、2a~2n…ライン/トランクシェルフ、3…コントロールハイウェイ、4…PCMハイウェイ、11…メインCPUカード、12…アプリケーションCPUカード、13…ローカルCPUカード、14…タイムスイッチカード、15…共通バス、16…共通メモリ、21…ライン/トランクカード、33…ポートコントローラ、34、41…インターフェースLSI、43…ローカルCPU、52…メインCPU、71…共通メモリ。

出願人代理人 弁理士 鈴江武彦



图一城

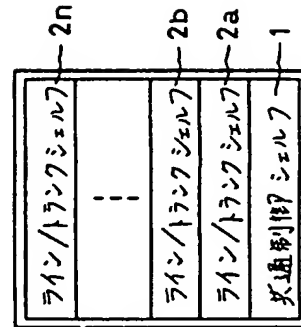


图 2

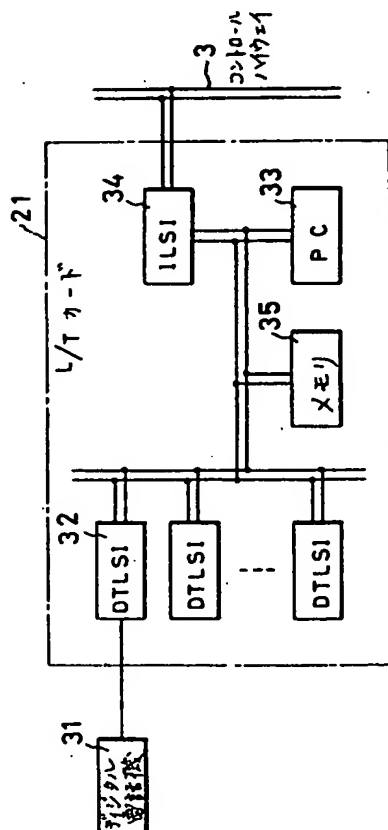


圖 3 城

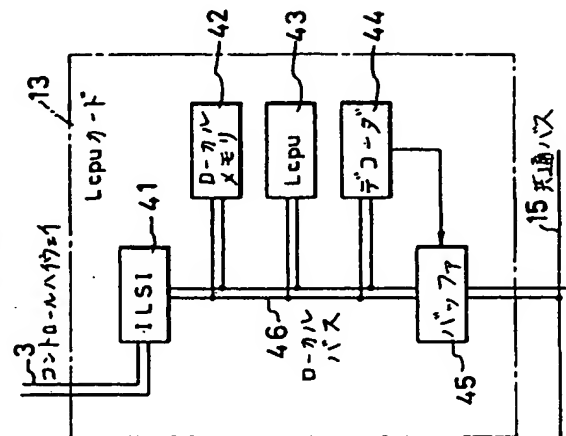
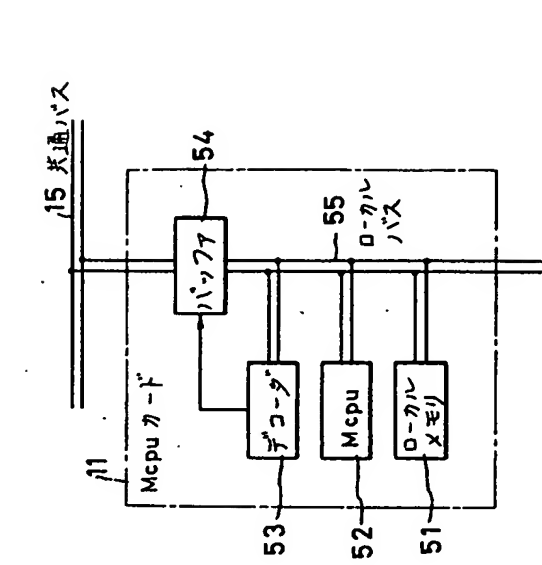
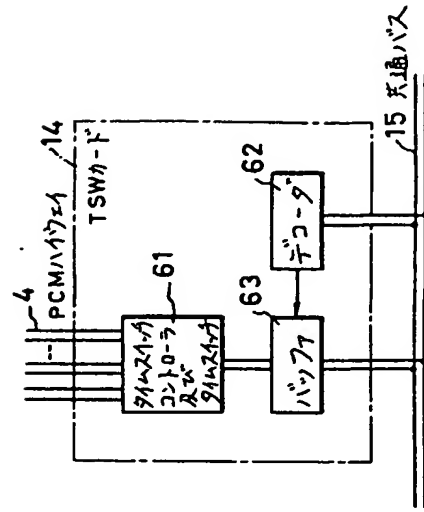


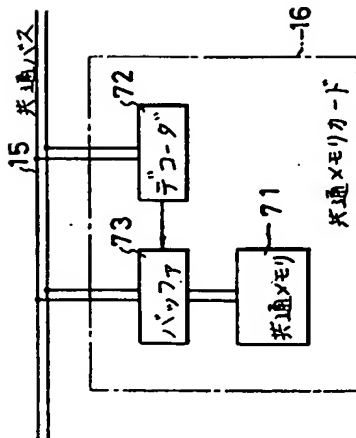
圖 4 無



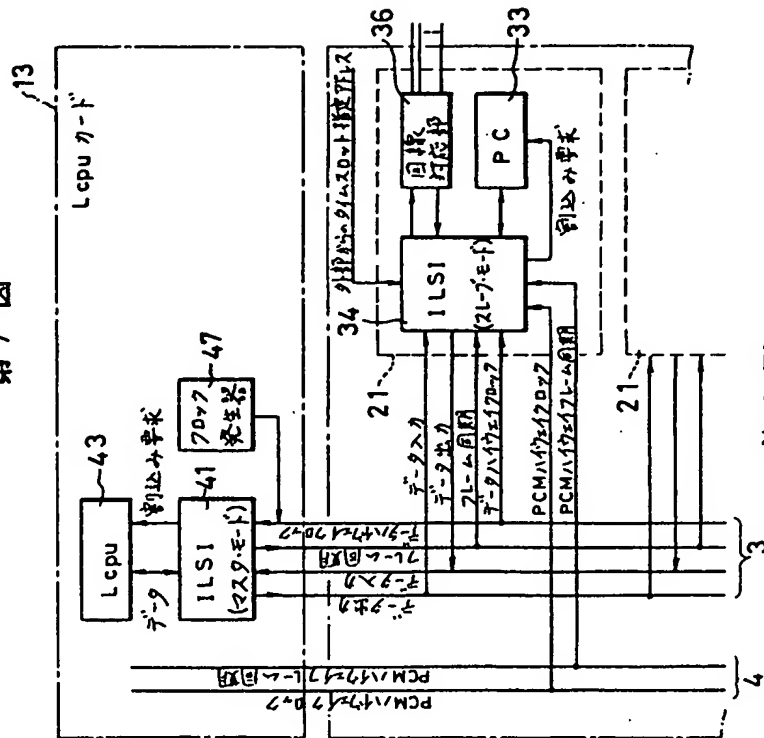
第 5 図



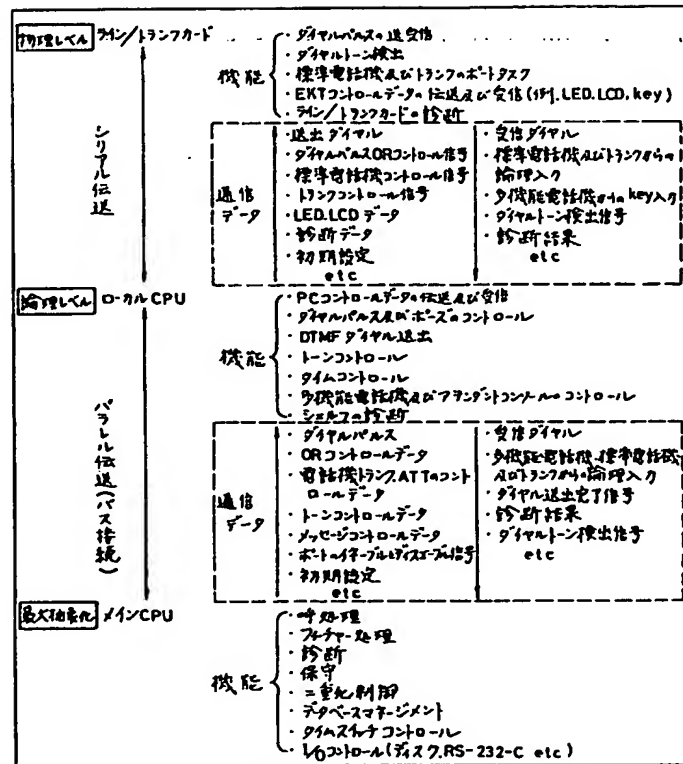
第 6 図



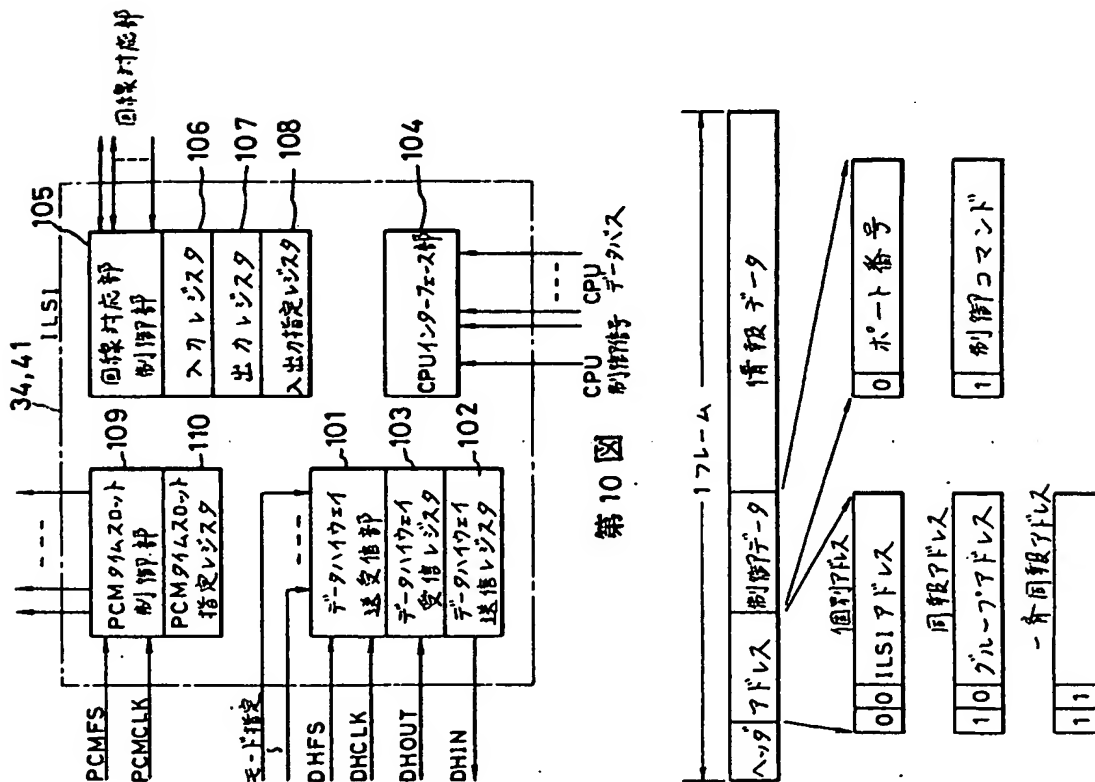
第 7 図



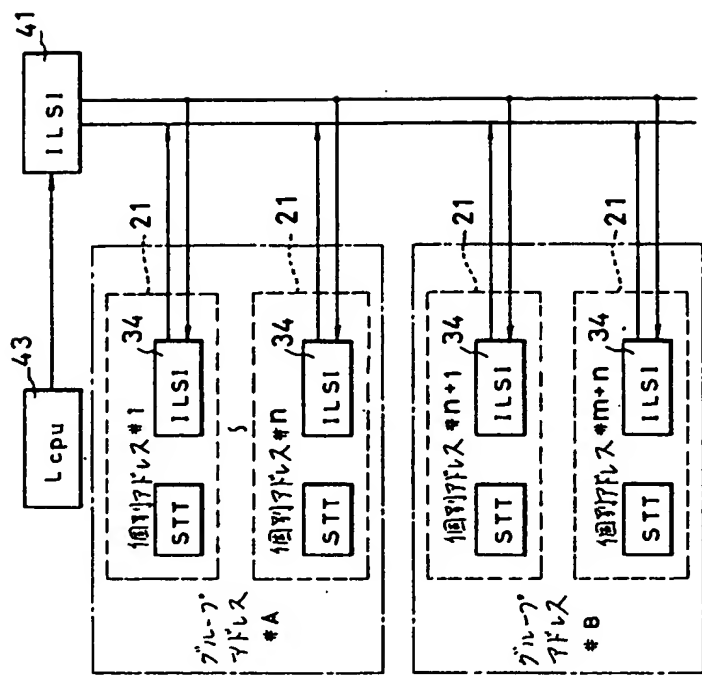
第 8 図



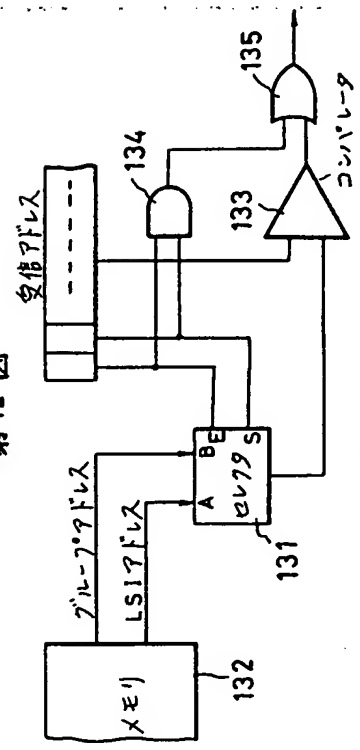
第9図



第11図



第12図



第13図